*МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ*

*НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ*

*„КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ”*

*НАВЧАЛЬНО-НАУКОВИЙ КОМПЛЕКС*

*„ІНСТИТУТ ПРИКЛАДНОГО СИСТЕМНОГО АНАЛІЗУ”*

**Лабораторна робота № 2**

**з курсу «Технології комп’ютерного проектування»**

*Тема: ДОСЛІДЖЕННЯ РОБОТИ КОМБІНАЦІЙНИХ СХЕМ З ВИКОРИСТАННЯМ ТАБЛИЧНИХ МОДЕЛЕЙ НА МОВІ VHDL*

*Виконала:*

*студент ІІІ курсу*

*групи ДА-42*

*Балан Катерина*

Київ – 2017

|  |  |
| --- | --- |
| 13 | MUX з 2-розрядною адресою і inv виходом |

-------------------------------------------------------------------------------

--

-- Title : mux1

-- Design : mux

-- Author : Machine

-- Company : gypnor

--

-------------------------------------------------------------------------------

--

-- File : mux1.vhd

-- Generated : Wed Mar 1 10:46:29 2017

-- From : interface description file

-- By : Itf2Vhdl ver. 1.20

-- Description :

-------------------------------------------------------------------------------

--{{ Section below this comment is automatically maintained

-- and may be overwritten

--{entity {mux1} architecture {mux1}}

library IEEE;

use IEEE.STD\_LOGIC\_1164.all;

entity mux is

port (c, d, e, f: in std\_logic;

s: in std\_logic\_vector(1 downto 0);

mux\_out: out std\_logic);

end mux;

architecture mux\_impl of mux is

begin

muxl: process (s, c, d, e, f)

begin

case s is

when "00" => mux\_out <= not c;

when "01" => mux\_out <= not d;

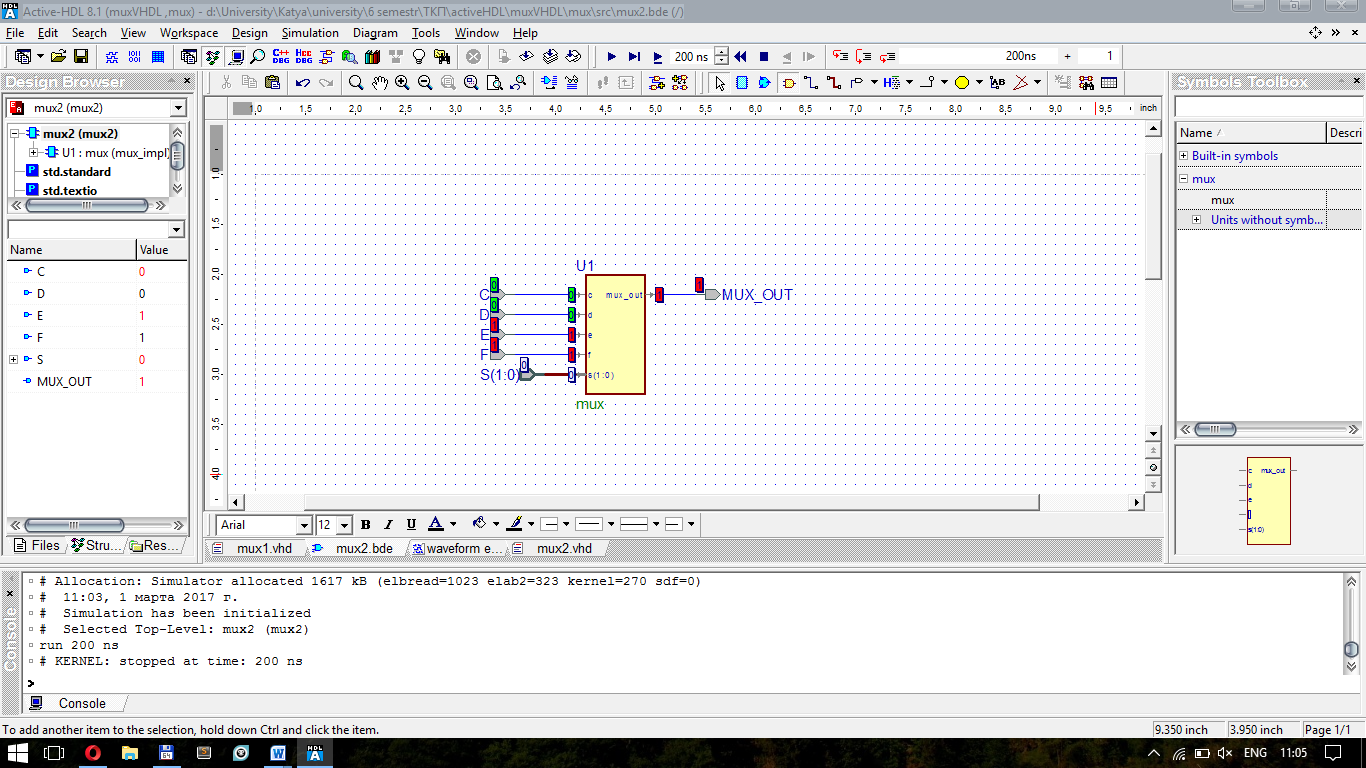
when "10" => mux\_out <= not e;

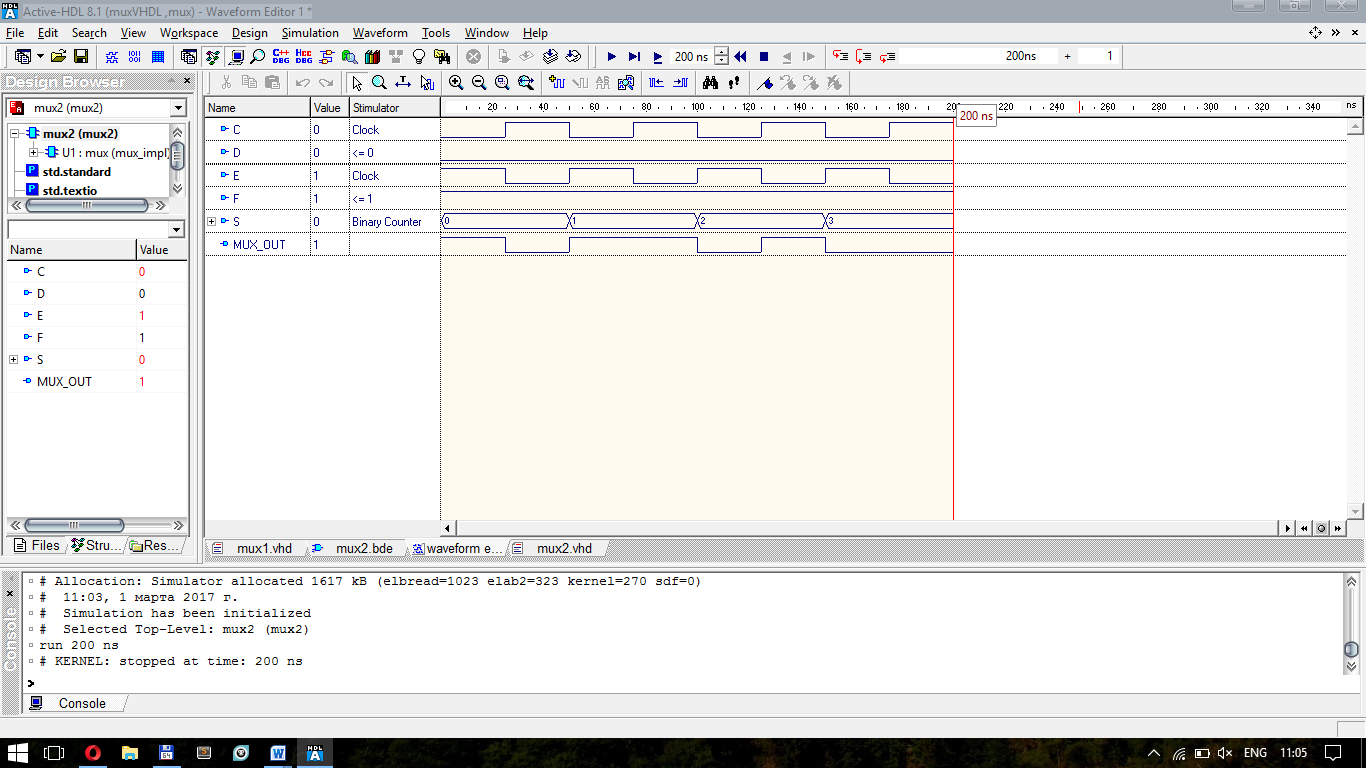
when others => mux\_out <= not f;

end case;

end process muxl;

end mux\_impl;





|  |  |  |  |
| --- | --- | --- | --- |
| Інформаційні входи | Адресні входи | | Інвертовані виходи |
|  | А1 | А0 |  |
| X3X2X1X0 | 0 | 0 |  |
| 0 | 1 |  |
| 1 | 0 |  |
| 1 | 1 |  |

**Висновок**: розглянули основи мови VHDL, використали цы ынструменти для написання опису роботи в данному випадку мультиплексора. Згадали алгоритм роботи мультиплексора, його схему. Також продемонстрували правильність роботи написаного мультиплексора на мові VHDL.